Лабораторные
работы ~~не~~ приходят легко

Birds

Words

•

•

Labs

~~don't come easy~~

Основная цель

Помочь техническим специалистам, инженерам и ученым выполнять работу быстро, качественно и с удовольствием, делая жизнь человечества максимально безопасной, комфортной и интересной.

О компании Keysight

Производитель измерительного оборудования, систем и ПО для аэрокосмической, радиоэлектронной и полупроводниковой отраслей промышленности, телекоммуникация, элетроэнергетики, автомобилестроения, отрасли Интернета вещей и сетевой безоплсности с более 80-летней историй.

500 слайдов в формате PowerPoint (45 часов)
8 лабораторных работ (24 часа)

1. Характеристики диодов
2. Выпрямители
3. Характеристики биполярных транзисторов
4. Постоянное смещение
5. Практические схемы на операционных усилителях
6. Анализ усилителей класса А
7. Мультивибратор на ИМС серии 555
8. Активные фильтры 1-го и 2-го порядка

Single Supply Common-Emitter

- This is a relatively straightforward and simple config
- Single battery can be used to get proper voltage across Collector and Base.

Derivation of the Oscillation Freq (1)

• Referring to previous diagram:

$$\beta = \frac{V_c}{V_b} = \frac{(RCs)^2}{(RCs)^2 + 6(RCs)^2 + 5RCs + 1}$$

$$A = \frac{V_c}{V_b} = -\frac{R_c}{R_b} \quad (180^\circ \text{ phase shift})$$

$$\beta A = -\frac{R_c}{R_b} \frac{(RCs)^2}{(RCs)^2 + 6(RCs)^2 + 5RCs + 1} = 1$$

$$s = j\omega$$

$$-\frac{R_c}{R_b} (RCj\omega)^2 = (RCj\omega)^2 + 6(RCj\omega)^2 + 5RCj\omega + 1$$

$$6(\omega RC)^2 + j \left[\frac{R_c}{R_b} (\omega RC)^2 + (\omega RC)^2 - 5\omega RC \right] = 1$$

The Operating Point and DC Load Line

400 слайдов в формате PowerPoint (45 часов)
8 лабораторных работ (24 часа)

1. Проектирование стабилизатора напряжения
2. Проектирование ИК передатчика
3. Проектирование усилителя на биполярных транзисторах
4. Проектирование усилителя на полевых транзисторах
5. Проектирование прецизионного усилителя на операционном усилителе
6. Проектирование аудиоэквалайзера
7. Проектирование высокочувствительного ИК детектора
8. Проектирование прецизионного стабилизатора напряжения

Integrator/Filter

f) Integrator (Low Pass Filter)

Including components like capacitor in the amplifier will produce circuits that can perform 'mathematics' functions.

$$V_O(t) = -V_C(t) = -\frac{1}{C} \int I_C(t) dt = -\frac{1}{C} \int \frac{V_I(t)}{R} dt = -\frac{1}{RC} \int V_I(t) dt$$

Low Pass Filter (Freq Domain): $\frac{V_O}{V_I} = \frac{Z_C}{Z_R} = \frac{1/j\omega C}{R} = -\frac{1}{j\omega RC}$

Improved Voltage Regulator

Closed-Loop Gain

By adding external components to the op-amp to form a closed-loop feedback circuit

- the overall closed-loop gain is reduced.
- but the -3 dB bandwidth is increased correspondingly.

600 слайдов в формате PowerPoint (45 часов)
12 лабораторных работ (36 часа)

1. Применение источников питания
2. Применение цифровых мультиметров
3. Применение генераторов сигналов стандартной/произвольной формы
4. Применение осциллографов
5. Измерение напряжения и тока
6. Измерение сигналов, зависящих от времени
7. Качество измерения 1
8. Качество измерения 2
9. Обработка аналоговых сигналов
10. Измерение цифровых сигналов
11. Введение в программирование потоков данных
12. Автоматизация измерений

Basic Signal Types

Core Technology

Direct digital synthesis (DDS)

Output Termination

default output termination is 50 Ω
output signal amplitude is twice the setting if terminating into an open circuit

but termination can be changed to "high impedance" is <Utility> → select the 'Output Setup' softkey → is the 'Load' softkey and then choose "High Z"

850 слайдов в формате PowerPoint (90 часов)
11 лабораторных работ (33 часа)

1. Введение в ПЛИС
2. Проектирование логических устройств и интерфейсов ввода/вывода
3. Генерация последовательных данных и сигналов
4. Проектирование базовых логических схем
5. Оптимизация и конвейерная обработка схем
6. Среда Verilog
7. Проектирование и моделирование на языке Verilog
8. Подключение к ядру ввода/ вывода и анализ
9. Подключение к памяти и анализ
10. Интерфесы клавиатуры PS/2 и ЖКИ экрана
11. Отладка алгоритмов обработки данных

Verilog Number Notations

Structural Model for 2-To-4 Decoder (cont'd)

```

Built-in primitive instances
not U1 (NOTI0, I0);
not U2 (NOTI1, I1);
and U3 (Y0, NOTI0, NOTI1, EN);
and U4 (Y1, I0, NOTI1, EN);
and U5 (Y2, NOTI0, I1, EN);
and U6 (Y3, I0, I1, EN);
endmodule
Instance names
1 output followed by 1 or more inputs
    
```

```

gate bit: 1'b0, 1'b1
liple bit: 6'b110001, 6'B11_0001 (underline is permitted for readability)

bases
'al 6'o61, 6'O6_1
< 8'h31, 8'H3_1
'al 49
'al 4.9E-1, 4.9e1
    
```

Multiplexer with Default Conditions

```

if (cond1)
  if (cond2)
    z = a;
  else
    z = z;
else if (cond3)
  if (cond4)
    z = b;
  else if (cond5)
    z = c;
  else
    z = z;
else if (cond6)
  z = d;
else
  z = z;
    
```

Within an always block

600 слайдов в формате PowerPoint (45 часов)
10 лабораторных работ (30 часа)

1. Анализ во временной и частотной областях
2. Теорема Котельникова и дискретизация
3. Концепции Z-преобразования и фильтрации
4. Проектирование и построение фильтров с конечной импульсной характеристикой
5. Проектирование и построение фильтров с бесконечной импульсной характеристикой
6. Применение FIR фильтров
7. ЦОС в реальном времени
8. Генератор цифровых сигналов
9. Демодуляция двухполосной передача подавленной несущей
10. Анализатор БПФ

Structural Model for 2-To-4 Decoder (cont'd)

Built-in primitive instances

```
not U1 (NOTI0, I0);
not U2 (NOTI1, I1);
and U3 (Y0, NOTI0, NOTI1, EN);
and U4 (Y1, I0, NOTI1, EN);
and U5 (Y2, NOTI0, I1, EN);
and U6 (Y3, I0, I1, EN);
```

Instance names

1 output followed by 1 or more inputs

Implicitly declare wires for gate instantiation outputs

Verilog Number Notation

Constants
 Format: <size>'<radix> <value>

Number of bits

Binary	→ b or B
Octal	→ o or O
Decimal	→ d or D
Hexadecimal	→ h or H

Binary

- Single bit: 1'b0, 1'b1
- Multiple bit: 6'b110001, 6'B11_000 (permitted for readability)

Other bases

- Octal: 6'o61, 6'O6_1
- Hex: 8'h31, 8'H3_1
- Decimal: 49
- Real: 4.9E-1, 4.9e1

Multiplexer with Default Conditions

```
if (cond1)
  if (cond2)
    z = a;
  else
    z = z;
else if (cond3)
  if (cond4)
    z = b;
  else if (cond5)
    z = c;
  else
    z = z;
else if (cond6)
  z = d;
else
  z = z;
```

Within an always block

400 слайдов в формате PowerPoint (45 часов)
7 лабораторных работ (21 час)

1. Калибровка анализатора цепей
2. Измерение параметров усилителя мощности
3. Измерение параметров малошумящего усилителя
4. Измерение параметров фильтра
5. Измерение параметров смесителя
6. Измерение параметров синтезатора
7. Измерение параметров антенны
8. Keysight Genesys – введение в ПО разработки ВЧ и СВЧ схем

600 слайдов в формате PowerPoint (75 часов)
7 лабораторных работ (50 часов)

1. Линии приема-передачи
2. Фильтры
3. Маломощные усилители
4. Делители и усилители мощности
5. Осцилляторы и синтезаторы
6. Смесители
7. 5G-приемники: разработка, симуляция измерения

Technology	Close-Up Example	In-Production Assembly
Low Temperature Co-Fired Ceramic (LTCC) <ul style="list-style-type: none"> 40 MHz to 12 GHz Very small size Minimal rejection \$2 to \$6 		
Lumped Element <ul style="list-style-type: none"> 10 MHz to 12 GHz Small size High rejection \$50 to \$500 		
Ceramic <ul style="list-style-type: none"> 100 MHz to 6 GHz Moderate size Moderate rejection \$50 to \$400 		
Cavity <ul style="list-style-type: none"> 2 to 40 GHz Large size Very high rejection \$300 to \$1000

600 слайдов в формате PowerPoint (75 часов)
9 лабораторных работ (50 часов)

1. Настройка системы
2. Знакомство с периферией, портами, ШИМ, ТТ реле, ЖКИ, памятью
3. Подключение аналоговых и цифровых устройств, I2C, SPI, реле, датчиков АЦП
4. Zigbee
5. Bluetooth
6. Питание датчиков IoT
7. Сетевая безопасность и облако
8. Облачные ИТ приложения
9. Индустриализация 4.0. Автомобилестроение.

600 слайдов в формате PowerPoint (75 часов)
10 лабораторных работ (90 часов)

1. Настройка системы
2. BLE разработка, валидация, при-сертификация
3. ZeegBee разработка, валидация, пред-сертификация
4. WLAN разработка, валидация, пред-сертификация
5. LoRa разработка, валидация, пред-сертификация
6. Расширенный анализ модуляции BLE, ZigBee, тестирование на совместимость
7. Улучшенная безопасность устройств и сети IoT
8. Цикл запрос-ответ протокола устройств IoT
9. Удаленные датчики LoRa
10. Безопасность сети датчиков ZeegBee

600 слайдов в формате PowerPoint (75 часов)
10 лабораторных работ (90 часов)

1. Настройка системы
2. Передача данных через последовательный порт, SPI и USB
3. МЭМС датчики для измерения инерции и давления
4. Характеризация статического и динамического потребления электроэнергии IoT
5. Оценка потребления тока в динамическом режиме и время жизни батареи.
6. Характеризация солнечной батареи и подача солнечной энергии на IoT устройство.
7. Приемы оптимизации потребления энергии сенсорами
8. Измерение динамического энергопотребления на основе событий.
9. Сравнение двух методов измерения высоты IoT датчиком
10. Разработка беспроводного датчика температуры с питанием от солнечной батареи

ПРИМЕР

Тренинг для специалистов по сертификации СКС (ССТТ. Fluke Networks)

Тренинг по монтажу и измерениям ВОЛС (VIAVI Solutions, Furukawa Electric)

Link master®
Kazakhstan

ТОО «ЛинкМастер Казахстан»

📍 Республика Казахстан, 050036, г. Алматы, мкр. Мамыр-4, дом 117/6

☎ +7 (727) 390-18-70 📞 +7 707 998 4944 ✉ info@linkmaster.kz 🌐 www.linkmaster.kz